

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

12579739

Basic Patent (No,Kind,Date): JP 7201842 A2 950804 <No. of Patents: 001>

MANUFACTURING FOR SEMICONDUCTOR DEVICE (English)

Patent Assignee: NIPPON STEEL CORP

Author (Inventor): SATO KAORU

IPC: *H01L-021/316; H01L-021/322; H01L-021/76; H01L-021/301

CA Abstract No: *124(02)019800M; 124(02)019800M

Derwent WPI Acc No: *C 95-305795; C 95-305795

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 7201842	A2	950804	JP 93351869	A	931228 (BASIC)

Priority Data (No,Kind,Date):

JP 93351869 A 931228

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

04909242 **Image available**

MANUFACTURING FOR SEMICONDUCTOR DEVICE

PUB. NO.: **07-201842 [JP 7201842 A]**

PUBLISHED: August 04, 1995 (19950804)

INVENTOR(s): SATO KAORU

APPLICANT(s): NIPPON STEEL CORP [000665] (A Japanese Company or
Corporation), JP (Japan)

APPL. NO.: 05-351869 [JP 93351869]

FILED: December 28, 1993 (19931228)

INTL CLASS: [6] H01L-021/316; H01L-021/322; H01L-021/76; H01L-021/301

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

ABSTRACT

PURPOSE: To make it possible to form a gettering region in a scribing line
on a face of a wafer while a field oxide film is formed.

CONSTITUTION: A field oxide film 5 is formed in a PBLOCOS method. In a
gettering region 9, a silicon substrate 1 is selectively oxidized after a
polysilicon film 3 for relaxation of stress is removed. Then, the stress to
the silicon substrate 1 is enlarged so that a large amount of crystal
defects 7 as a gettering source is induced in the silicon substrate 1.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-201842

(43)公開日 平成7年(1995)8月4日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 01 L 21/316

21/322

Q
21/76

9274-4M

H 01 L 21/ 94

A

21/ 76

M

審査請求 未請求 請求項の数3 FD (全5頁) 最終頁に統く

(21)出願番号

特願平5-351869

(22)出願日

平成5年(1993)12月28日

(71)出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72)発明者 佐藤 薫

東京都千代田区大手町2-6-3 新日本
製鐵株式会社内

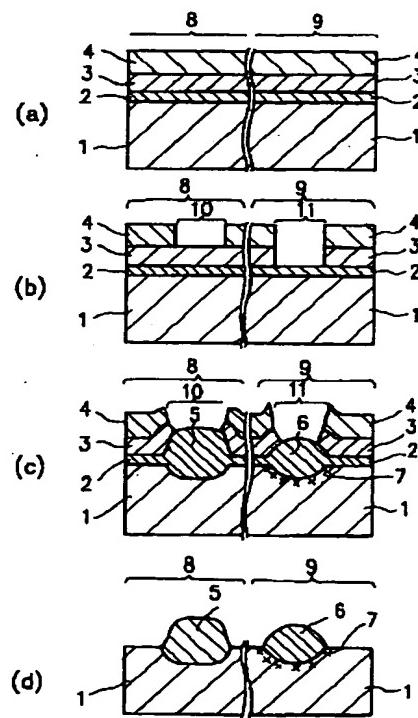
(74)代理人 弁理士 國分 孝悦

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 フィールド酸化膜形成時に同時に、ウェハの表面側のスクライブライン等にゲッタリング領域を形成する。

【構成】 P BLOCOS法によりフィールド酸化膜5を形成する際、ゲッタリング領域9では、応力緩和用の多結晶シリコン膜3を除去した状態でシリコン基板1を選択酸化することにより、シリコン基板1にかかる応力を大きくして、シリコン基板1内にゲッタリング源となる結晶欠陥7を多量に誘起する。



【特許請求の範囲】

【請求項 1】 素子分離領域とこの素子分離領域で囲まれた素子形成領域とからなる素子領域及びこの素子領域の近傍部分を有する半導体基板の上に多結晶シリコン膜を形成する工程と、

上記多結晶シリコン膜の上に窒化シリコン膜を形成する工程と、

上記素子領域の上の上記窒化シリコン膜を局部的にエッチングして上記素子分離領域の上に第 1 の開口を形成するとともに、上記素子領域の近傍部分の上の上記窒化シリコン膜を局部的にエッチングしてその所定位置に第 2 の開口を形成し、さらに、上記第 2 の開口を通じて上記多結晶シリコン膜を局部的にエッチングして、上記窒化シリコン膜の上記第 2 の開口に連続した第 3 の開口を上記多結晶シリコン膜に形成する工程と、

上記素子領域において上記窒化シリコン膜の上記第 1 の開口を通じて上記多結晶シリコン膜及び上記半導体基板をそれぞれ酸化すると同時に、上記素子領域の近傍部分において上記窒化シリコン膜の上記第 2 の開口及び上記多結晶シリコン膜の上記第 3 の開口を通じて上記半導体基板の表面を酸化する工程と、

上記窒化シリコン膜及び上記多結晶シリコン膜をそれぞれ除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 上記半導体基板の上に酸化シリコン膜を形成した後、上記多結晶シリコン膜を形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 素子分離領域とこの素子分離領域で囲まれた素子形成領域とからなる素子領域及びこの素子領域の近傍部分を有する半導体基板の上に多結晶シリコン膜を形成する工程と、

上記素子領域の近傍部分の上の上記多結晶シリコン膜を除去する工程と、

全面に窒化シリコン膜を形成する工程と、

上記窒化シリコン膜を局部的にエッチングして、上記素子分離領域の上に第 1 の開口を形成するとともに、上記素子領域の近傍部分の上の所定位置に第 2 の開口を形成する工程と、

上記素子領域において上記窒化シリコン膜の上記第 1 の開口を通じて上記多結晶シリコン膜及び上記半導体基板をそれぞれ酸化すると同時に、上記素子領域の近傍部分において上記窒化シリコン膜の上記第 2 の開口を通じて上記半導体基板の表面を酸化する工程と、

上記窒化シリコン膜及び上記多結晶シリコン膜をそれぞれ除去する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し、特に、素子特性を劣化させる不純物及び結晶欠陥

を素子領域から排除するゲッタリング技術に関する。

【0 0 0 2】

【従来の技術】 半導体装置の製造工程において、デバイスの内部に N a、K などのアルカリ金属、F e や C u などの重金属あるいは結晶欠陥が存在すると、素子特性の劣化を引き起こすため、これらの不純物や結晶欠陥を高温処理により素子領域外に偏析させて取り除くゲッタリングという処理が行われている。

【0 0 0 3】 ゲッタリング処理としては、基板内に存在する酸素を利用するイントリンシックゲッタリングや例えば半導体基板の裏面に歪層を形成しそこに不純物をトラップさせるようにしたエクストリンシックゲッタリングがある。

【0 0 0 4】

【発明が解決しようとする課題】 しかしながら、イントリンシックゲッタリングでは、基板内部に酸素析出欠陥を形成するための工程が必要となることや、ウエハの反りが発生しやすくなるという問題があった。

【0 0 0 5】 また、半導体基板の裏面に歪層を形成する方法では、半導体基板の裏面側をゲッタリング領域として用いるため、基板表面側でのゲッタリング効果が小さいという問題があった。

【0 0 0 6】 そこで、本発明の目的は、工程数をそれ程増加させることなく半導体基板の表面側にゲッタリング領域を形成できる半導体装置の製造方法を提供することである。

【0 0 0 7】

【課題を解決するための手段】 上述した課題を解決するために、本発明の半導体装置の製造方法は、素子分離領域とこの素子分離領域で囲まれた素子形成領域とからなる素子領域及びこの素子領域の近傍部分を有する半導体基板の上に多結晶シリコン膜を形成する工程と、上記多結晶シリコン膜の上に窒化シリコン膜を形成する工程と、上記素子領域の上の上記窒化シリコン膜を局部的にエッチングして上記素子分離領域の上に第 1 の開口を形成するとともに、上記素子領域の近傍部分の上の上記窒化シリコン膜を局部的にエッチングしてその所定位置に第 2 の開口を形成し、さらに、上記第 2 の開口を通じて上記多結晶シリコン膜を局部的にエッチングして、上記窒化シリコン膜の上記第 2 の開口に連続した第 3 の開口を上記多結晶シリコン膜に形成する工程と、上記素子領域において上記窒化シリコン膜の上記第 1 の開口を通じて上記多結晶シリコン膜及び上記半導体基板をそれぞれ酸化すると同時に、上記素子領域の近傍部分において上記窒化シリコン膜の上記第 2 の開口及び上記多結晶シリコン膜の上記第 3 の開口を通じて上記半導体基板の表面を酸化する工程と、上記窒化シリコン膜及び上記多結晶シリコン膜をそれぞれ除去する工程とを有する。

【0 0 0 8】 本発明の一態様では、上記半導体基板の上に酸化シリコン膜を形成した後、上記多結晶シリコン膜

を形成する。

【0009】本発明の一態様では、素子分離領域とこの素子分離領域で囲まれた素子形成領域とからなる素子領域及びこの素子領域の近傍部分を有する半導体基板の上に多結晶シリコン膜を形成する工程と、上記素子領域の近傍部分の上の上記多結晶シリコン膜を除去する工程と、全面に窒化シリコン膜を形成する工程と、上記窒化シリコン膜を局部的にエッチングして、上記素子分離領域の上に第1の開口を形成するとともに、上記素子領域の近傍部分の上の所定位置に第2の開口を形成する工程と、上記素子領域において上記窒化シリコン膜の上記第1の開口を通じて上記多結晶シリコン膜及び上記半導体基板をそれぞれ酸化すると同時に、上記素子領域の近傍部分において上記窒化シリコン膜の上記第2の開口を通じて上記半導体基板の表面を酸化する工程と、上記窒化シリコン膜及び上記多結晶シリコン膜をそれぞれ除去する工程とを有する。

【0010】

【作用】本発明においては、半導体基板と窒化シリコン膜との間に応力緩和のための多結晶シリコン膜を介在させたいわゆるポリシリバッファードLOCOS（PBL LOCOS）法を実施する際、素子領域の近傍部分の多結晶シリコン膜を局部的又は全体的に除去してその部分の半導体基板を選択酸化することにより、素子領域の近傍部分では半導体基板にかかる応力を大きくし、その部分に多量の結晶欠陥を誘起して、ゲッタリング領域を形成する。これにより、半導体基板の表面に素子分離領域とゲッタリング領域とを同時に形成することができ、しかも、ゲッタリング領域を形成するための特別の工程が不要で、従来のPBL LOCOS法と殆ど変わらない工程で実現することができる。

【0011】また、ゲッタリング領域を半導体基板の表面側の素子領域の近傍部分に形成するので、基板表面側からの汚染等に対するゲッタリングの効果が大きい。

【0012】

【実施例】以下、本発明を実施例につき添付図面を参照しながら説明する。

【0013】図1は、本発明の第1実施例による素子分離領域及びゲッタリング領域の形成方法を工程順に示す概略断面図である。各図において、素子分離領域とこの素子分離領域で囲まれた素子形成領域とからなる素子領域8の部分を左側に、素子領域の近傍部分9、例えばスクライブラインの部分を右側にそれぞれ示す。

【0014】まず、図1（a）に示すように、水蒸気や酸素などの酸化雰囲気中での熱酸化により、シリコン基板1上に200～400Åの厚みの酸化シリコン膜2を形成する。

【0015】次に、化学気相成長法により、500～1000Åの厚みの多結晶シリコン膜3を全面に形成する。

【0016】次に、化学気相成長法により、1500Åの厚みの窒化シリコン膜4を全面に形成する。

【0017】次に、図1（b）に示すように、フォトエッチング技術により、素子領域8の窒化シリコン膜4に開口10を形成するとともに、素子領域近傍部分9の窒化シリコン膜4に開口11を形成する。さらに、素子領域8の全体をフォトレジストで覆った後、素子領域近傍部分9において、窒化シリコン膜4をマスクとしたエッチングを行い、多結晶シリコン膜3に開口11に連続した開口を形成する。

【0018】次に、図1（c）に示すように、窒化シリコン膜4を耐酸化膜とした熱酸化を行い、素子領域8では、多結晶シリコン膜3及びシリコン基板1を選択酸化して酸化シリコン膜5を形成するとともに、素子領域近傍部分9では、シリコン基板1の表面部分を選択酸化して酸化シリコン膜6を形成する。熱酸化は、所望のフィールド酸化膜厚を得られる条件で行う。本実施例では、パイロ酸化で温度900～1000°Cで90分とする。

【0019】この時、素子領域8では、PBL LOCOS法によるフィールド酸化膜である酸化シリコン膜5が形成されるが、素子領域近傍部分9では、多結晶シリコン膜3の開口部分のシリコン基板1を熱酸化するので、酸化シリコン膜6の体積膨張時にシリコン基板1にかかる応力が大きくなり、シリコン基板1内に比較的多量の結晶欠陥7が誘起される。これらの結晶欠陥7は、重金属などの不純物をトラップすることができるので、ゲッタリング源として用いることができる。

【0020】次に、図1（d）に示すように、窒化シリコン膜4、多結晶シリコン膜3及び酸化シリコン膜2をそれぞれ除去する。なお、必要な場合には、さらに結晶欠陥7上の酸化シリコン膜6を全て除去してもよい。

【0021】以上の工程により、PBL LOCOS法と同様のフィールド酸化膜5と素子領域近傍部分のゲッタリング領域とを同時に形成することができる。

【0022】図2は、本発明の第2実施例による素子分離領域及びゲッタリング領域の形成方法を工程順に示す概略断面図である。各図において、素子分離領域とこの素子分離領域で囲まれた素子形成領域とからなる素子領域8の部分を左側に、素子領域の近傍部分9、例えばスクライブラインの部分を右側にそれぞれ示す。

【0023】まず、図2（a）に示すように、水蒸気や酸素などの酸化雰囲気中での熱酸化により、シリコン基板1上に200～400Åの厚みの酸化シリコン膜2を形成する。

【0024】次に、化学気相成長法により、500～1000Åの厚みの多結晶シリコン膜3を全面に形成する。

【0025】次に、素子領域8の部分をレジストでマスクし、素子領域近傍部分9の多結晶シリコン膜3を全てエッチング除去する。

【0026】次に、図2 (b) に示すように、化学気相成長法により、1500Åの厚みの窒化シリコン膜4を全面に形成する。

【0027】次に、図2 (c) に示すように、フォトエッチング技術により、素子領域8及び素子領域近傍部分9の窒化シリコン膜4にそれぞれ開口10、11を形成する。

【0028】次に、図2 (d) に示すように、窒化シリコン膜4を耐酸化膜とした熱酸化を行い、素子領域8では、開口10下の多結晶シリコン膜3及びシリコン基板1を選択酸化して酸化シリコン膜5を形成するとともに、素子領域近傍部分9では、開口11下のシリコン基板1の表面部分を選択酸化して酸化シリコン膜6を形成する。熱酸化は、所望のフィールド酸化膜厚を得られる条件で行う。本実施例では、パイロ酸化で温度900～1000℃で90分とする。

【0029】この時、素子領域8では、P B L O C O S 法によるフィールド酸化膜である酸化シリコン膜5が形成されるが、素子領域近傍部分9では、応力緩和のための多結晶シリコン膜3が存在しないので、酸化シリコン膜6の体積膨張時にシリコン基板1にかかる応力が大きくなり、シリコン基板1内に比較的多量の結晶欠陥7が誘起される。これらの結晶欠陥7は、重金属などの不純物をトラップすることができるので、ゲッタリング源として用いることができる。

【0030】次に、図2 (e) に示すように、窒化シリコン膜4、多結晶シリコン膜3及び酸化シリコン膜2をそれぞれ除去する。なお、必要な場合には、さらに結晶欠陥7上の酸化シリコン膜6を全て除去してもよい。

【0031】以上、本発明の実施例を説明したが、本発明は上述した実施例に限定されるものではなく、上述した実施例は本発明の技術的思想に基づいて各種の有効な変更ならびに応用が可能である。例えば、ゲッタリング領域は、デバイスの素子領域近傍のゲッタリング源として有効な領域で、デバイスの電気的特性に悪影響を及ぼさない領域を選べばよく、スクライブライン以外に、例えば、チップの周辺部分に形成することもできる。また、酸化シリコン膜2は、本来、P B L O C O S 法にお

いてシリコン基板1への応力を緩和するために設けられるものであり、従って、素子領域近傍部分9では、この酸化シリコン膜2を除去若しくは予め形成せずに、多結晶シリコン膜3又は窒化シリコン膜4を直接シリコン基板1上に形成してもよい。

【0032】

【発明の効果】本発明によれば、P B L O C S O法により素子分離絶縁膜を形成すると同時に、半導体基板の表面側の素子領域近傍部分にゲッタリング領域を形成することができる。従って、従来の半導体装置の製造工程数をそれ程増加させることなく、有効なゲッタリング領域を形成することができる。

【0033】また、ゲッタリング領域を半導体基板の表面側に形成するので、ゲッタリング領域を素子領域の近傍部分に形成することができ、表面からの汚染などに対するゲッタリング効果を大きくすることができる。

【0034】この結果、半導体装置の性能と信頼性を向上できるとともに、製造歩留りやスループットを向上させることができる。

【図面の簡単な説明】

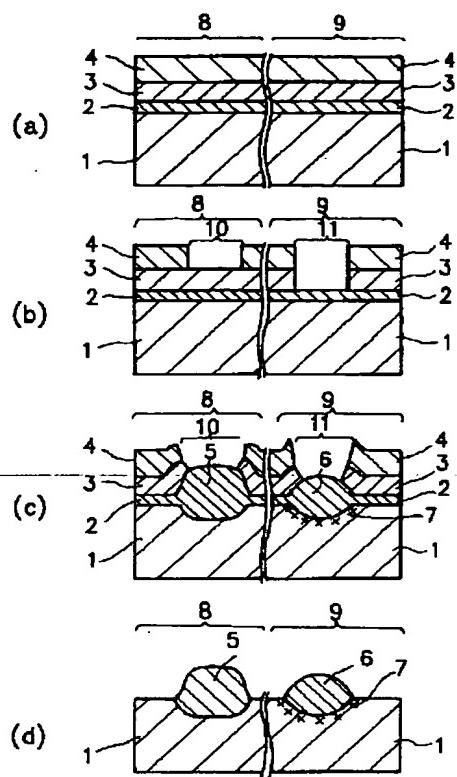
【図1】本発明の第1実施例による素子分離領域及びゲッタリング領域の形成方法を工程順に示す概略断面図である。

【図2】本発明の第2実施例による素子分離領域及びゲッタリング領域の形成方法を工程順に示す概略断面図である。

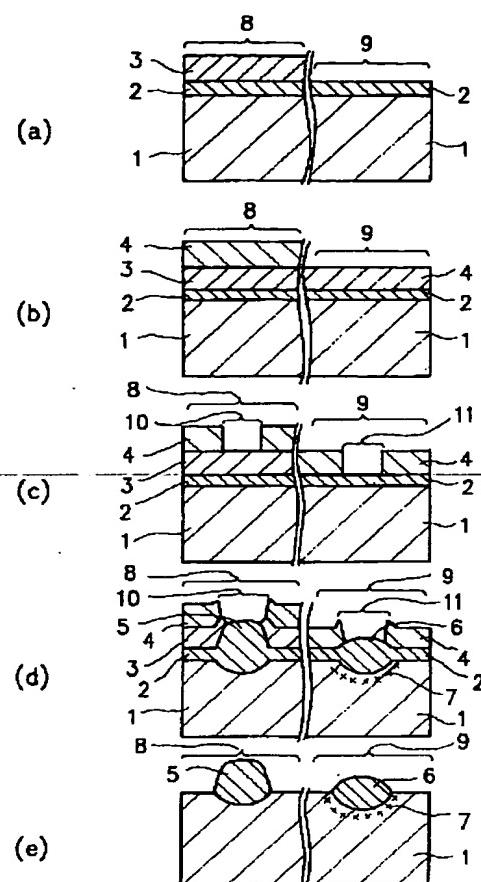
【符号の説明】

- 1 シリコン基板
- 2 酸化シリコン膜
- 3 多結晶シリコン膜
- 4 窒化シリコン膜
- 5 酸化シリコン膜（フィールド酸化膜）
- 6 酸化シリコン膜（ゲッタリング領域）
- 7 結晶欠陥
- 8 素子領域
- 9 素子領域近傍部分
- 10、11 開口

【図1】



【図2】



フロントページの続き

(51) Int. Cl. 6

H 01 L 21/301

識別記号 庁内整理番号

F I

技術表示箇所

H 01 L 21/78

L